

JP62166628A

Publication Title:

SATELLITE COMMUNICATION SYSTEM

Abstract:

Abstract of JP 62166628

(A) PURPOSE:To perform multiplexing, number changing, and sending order changing simultaneously, by controlling the outputting timing of each data from channel buffers corresponding to each highway. CONSTITUTION:Data from each highway are buffered onto channel buffers 10 through an interface 1 and form a data group which is collected in a bursted state. On the other hand, a sending timing control section instructs data sending timing to individual channel buffers 10 by taking the forms of the data of a ground system and those to be sent to a satellite system and all of the multiplexing, number changing, and sending order changing into consideration. As a result, the data supplied to a speed changing buffer 6 through the sending timing control section 11 become those, on which bursting, multiplexing, number changing, and sending order changing are already performed.

Courtesy of <http://v3.espacenet.com>

⑫ 公開特許公報 (A)

昭62-166628

⑬ Int.Cl.*

H 04 B 7/15
H 04 J 3/00

識別記号

府内整理番号

7323-5K
8226-5K

⑭ 公開 昭和62年(1987)7月23日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 衛星通信システム

⑯ 特願 昭61-8424

⑯ 出願 昭61(1986)1月17日

⑰ 発明者 角 基 勝 明 川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 森田 寛 外1名

明細書

1. 発明の名称

衛星通信システム

2. 特許請求の範囲

地上系と衛星系との間にもうけられ、地上系ハイウェイに対する複数のハイウェイ・インタフェース(1)をそなえて、各インタフェース(1)を介して供給される信号を時分割多重化し、地上系タイム・スロット・ナンバと衛星系バースト・ナンバとの間のナンバ変換を行い、かつ衛星系バースト・ナンバ順とバースト送出順との間の送出順変換を行った上で、地上系と衛星系との間の速度変換が行われて衛星系側に送出するチャネル割当制御部(12)がもうけられてなる衛星通信システムにおいて、

上記各ハイウェイ・インタフェースに対応してもうけられるチャネル・バッファ(10)、
該各チャネル・バッファ(10)に対して送出タイ

ミングを指示するアイデンティティ発生部(13)、
該アイデンティティ発生部(13)からの信号を各上記チャネル・バッファに通知するIDバス(15)、
当該通知に対応して各チャネル・バッファ(10)
から出力されるデータをシリアル状に収集するデータ・バス(14)、

該データ・バス(14)上のデータに対して速度変換を行なう速度変換バッファ(6)をそなえ、
上記各チャネル・バッファ(10)上のデータを上記データ・バス(14)上に出力させるタイミングを制御することによって、上記時分割多重化と上記ナンバ変換と上記送出順変換とを行うようにしたことを特徴とする衛星通信システム。

3. 発明の詳細な説明

〔概要〕

チャネル割当制御部を有する衛星通信システムにおいて、複数個のチャネル・バッファからの出力タイミングを制御する構成を採用することによって、多重化とスロット・ナンバ変換とバースト

化した形での送出順変換とを行うようにしたこと
が開示されている。

(産業上の利用分野)

本発明は、衛星通信システム、特に複数個のチャネル・バッファからデータを出力させるタイミングを制御する構成を採用し、多重化やバースト化などの処理を簡単に得るようにした衛星通信システムに関する。

(従来の技術)

従来から、衛星通信システムにおいては、第3図に示す如きチャネル制御(送信側のみ示す)が行われている。即ち、地上系の複数のハイウェイからのデータを夫々ハイウェイ・インターフェース1-0, 1-1, …で受取り、マルチブレクサ2によって時分割多重化する。そして地上タイム・スロット・ナンバ対衛星バースト・ナンバ変換(以下ナンバ変換と呼ぶ)3によって地上系でのタイム・スロット・ナンバと衛星系でのバースト・

4と速度変換とを行う。

(発明が解決しようとする問題点)

従来第4回図示の構成が採用されており、多重化を行うマルチブレクサ、ナンバ変換を行うタイム・スイッチ7とその制御部8、送出順変換と速度変換とが行われるメモリ9の如く、夫々専業機能をもつユニットがもうけられている。このために、地上系や衛星系での構成やプロトコルなどが変更されると、いわばそれに合わせるように、チャネル割当制御部全体を変更する形となり、システムの融通性に関して劣るものであった。

(問題点を解決するための手段)

本発明は、上記の点を解決するものであり、各ハイウェイに対応するチャネル・バッファから夫々のデータを出力するタイミングを制御する簡単な構成によって、多重化やナンバ変換や送出順変換を一挙に行うようになっている。

第1図は本発明の原理構成図を示す。図中の符

ナンバとの間のナンバ変換を行いつつ衛星バースト・ナンバ対バースト送出順変換(以下送出順変換と呼ぶ)4によって衛星系バースト・ナンバ順とバースト送出順との間の送出順変換を行うべく、タイム・スロット並べ換え5によってタイム・スロットの並べ換えを行う。そして更に速度変換バッファ6を利用して、衛星系での速度に見合うよう速度変換が行われ、TDMA同期制御部へ導かれる。

第3回図示の如き処理を行いうに当たって、従来の場合には、第4図に示す如き構成が採用されている。第4図において、1, 2は第3図に対応し、7はタイム・スイッチ、8はタイム・スイッチ制御部、9はメモリであってアドレス制御と速度変換バッファとの機能を行なうものを表している。第4図におけるタイム・スイッチ7が、第3図図示のタイム・スロット並べ換え5に対応する動作を行なう。またタイム・スイッチ制御部8が、第3図図示のナンバ変換3に対応する制御を行なう。そして、メモリ9において、第3図図示の送出順変換

号1はハイウェイ・インターフェース、6は速度変換バッファ、10はチャネル・バッファ、11は送出タイミング制御部を表している。

チャネル・バッファ10は、各ハイウェイ・インターフェース1に対応してもうけられ、夫々のハイウェイからのデータをバッファリングしてバースト化を行い得るように構成される。また送出タイミング制御部11は、例えばプロセッサを用いて、各チャネル・バッファ10-0, 10-1, …から夫々データを出力せしめるタイミングを制御する。

(作用)

各ハイウェイからのデータは、インターフェース1を介してチャネル・バッファ10上にバッファリングされ、バースト状にまとめられたデータ群を作成する。一方、送出タイミング制御部は、地上系のデータの形態と衛星系へ送出するデータの形態などと勘案して、上述の多重化とナンバ変換と送出順変換とのすべてを考慮した形で、個々

のチャネル・バッファ10に対するデータ送出タイミングを指示する。この結果、送出タイミング制御部11を経由して速度変換バッファ6に供給されるデータは、既にバースト化と多重化とが行われかつナンバ変換や送出順変換の行われたものとなっている。そして、速度変換バッファ6は、衛星系での速度に合わせる速度変換を行い、T DMA同期制御部へ供給する。

(実施例)

第2図は本発明の一実施例構成を示す。図中の符号1, 6, 10, 11は第1図に対応し、12はチャネル割当制御部、13はアイデンティティ(ID)発生部、14はデータ・バス、15はIDバスを表している。

第1図を参照して説明した如く、図示しないプロセッサから、ID発生部13は、各チャネル・バッファ10-1がデータを出力するタイミングに合わせて、当該チャネル・バッファ10-1のIDを発生するよう指示される。これによって、

適宜変更することによって、システムの変更などに対処でき、融通性の面において優れたものとなる。

4. 図面の簡単な説明

第1図は本発明の原理構成図、第2図は本発明の一実施例構成、第3図はチャネル割当制御部における処理を説明する説明図、第4図は従来の構成を示す。

図中、1はハイウェイ・インターフェース、6は速度変換バッファ、10はチャネル・バッファ、11は送出タイミング制御部、12はチャネル割当制御部、13はアイデンティティ発生部、14はデータ・バス、15はIDバスを表す。

特許出願人 富士通株式会社
代理人弁理士 森田 寛(外1名)

ID発生部13は当該IDをIDバス15上に出力する。各チャネル・バッファ10-0, 10-1, ……においては一齊に自己のIDナンバーとの一致を調べ、一致を検出したチャネル・バッファ10-1が、上述の如く、バースト化されているデータを、データ・バス14上に出力する。ID発生部13は次々に指示されたIDを出力するため、データ・バス14上には所定のデータがバースト化された形で、シリヤライズされて乗せられ、当該データがその順に速度変換バッファ6に供給される。そして速度変換された形でT DMA同期制御部へ導かれる。

(発明の効果)

以上説明した如く、本発明によれば、チャネル・バッファをおき、当該チャネル・バッファからデータ・バス上にデータを出力するタイミングを所望の態様で指示することによって、多重化とナンバ変換と送出順変換とを、いわば一举に行うことができる。そして、上記出力するタイミングを



